



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑩ **Offenlegungsschrift**
DE 195 43 859 A 1

⑤1 Int. Cl.⁶:
H 01 L 21/336
H 01 L 29/78
H 01 L 21/308

FOL

DE 195 43 859 A 1

②1 Aktenzeichen: 195 43 859.0
②2 Anmeldetag: 24. 11. 95
④3 Offenlegungstag: 27. 6. 96

③0 Unionspriorität: ③2 ③3 ③1
26.12.94 KR 94-36937

⑦1 Anmelder:
Hyundai Electronics Industries Co., Ltd., Ichon,
Kyoungki, KR

⑦4 Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,
Anwaltssozietät, 80538 München

⑦2 Erfinder:
Suh, Jeung Won, Ichon, Kyoungki, KR; Rho, Kwang
Myoung, Ichon, Kyoungki, KR; Hwang, Seong Min,
Ichon, Kyoungki, KR

⑤4 Transistor und Transistorherstellungsverfahren

⑤7 Ein Verfahren zur Herstellung eines Transistors mit den Schritten: Ausbilden eines Grabens auf einem Substrat; Ausfüllen des unteren Abschnitts des Grabens ohne den oberen Abschnitt derselben mit einer Isolierschicht; Ausfüllen des oberen Abschnitts des Grabens auf der Isolierschicht mit einer Leiterschicht für einen Kanal des Transistors; Ausbilden einer Gate-Oxidschicht auf der sich ergebenden Struktur; und Ausbilden einer Gate-Elektrode auf der Gate-Oxidschicht; und Implantieren von Störstellenionen in das Substrat, um einen Source/Drain-Bereich auszubilden.

DE 195 43 859 A 1

Die vorliegende Erfindung bezieht sich auf Transistoren mit SOI-Struktur (SOI bedeutet Silicon-On-Insulator bzw. Silicium-auf-Isolator) und auf Verfahren zur Herstellung derselben.

Ein Verfahren zur Herstellung eines Transistors mit SOI-Struktur umfaßt im allgemeinen die Schritte des Ausbildens einer Oxidschicht auf einem Substrat und des Ausbildens eines Transistors auf einem Siliciumsubstrat, unter dem die Oxidschicht ausgebildet ist. Dieser Transistor mit SOI-Struktur verbessert die Eigenschaften der Vorrichtung insoweit, als die Kapazitäten der Source/Drain-Übergangsschichten minimiert sind.

Da andererseits der Kurzkanaleffekt und der Heißeitereffekt in Abhängigkeit von der Verkleinerung der Transistoren gesteigert werden, werden die Transistoren so ausgelegt, daß diese Effekte durch die Theorie der Transistornormierung und durch die LDD-Struktur (LDD bedeutet Lightly Doped Drain bzw. schwach dotierter Drain-Bereich) verbessert werden.

Obwohl bei Submikrometer-Transistoren diese Verbesserungen der Transistoren entwickelt worden sind, werden die Betriebseigenschaften dieser Transistoren durch die Kurzkanaleffekte wie z. B. Durchgriff gestört.

Es ist daher die Aufgabe der vorliegenden Erfindung einen Transistor und ein Transistorherstellungsverfahren zu schaffen, die verhindern können, daß die Kurzkanaleffekte (insbesondere der Durchgriff von PMOS-Transistoren) erzeugt werden, so daß deren Funktionseigenschaften verbessert werden.

Diese Aufgabe wird erfindungsgemäß gelöst durch Transistorherstellungsverfahren, die die in den Ansprüchen 1, 7 bzw. 15 angegebenen Merkmale besitzen, sowie durch einen Transistor, der die im Anspruch 21 angegebenen Merkmale besitzt. Die abhängigen Ansprüche sind auf bevorzugte Ausführungsformen gerichtet.

Weitere Vorteile und Merkmale der vorliegenden Erfindung werden deutlich beim Lesen der folgenden Beschreibung bevorzugter Ausführungsformen, die auf die beigefügten Zeichnungen Bezug nimmt; es zeigen:

Fig. 1A bis 1J Querschnittsansichten, die ein Verfahren zur Herstellung eines Transistors gemäß einer Ausführungsform der vorliegenden Erfindung zeigen;

Fig. 2A bis 2I Querschnittsansichten, die ein Verfahren zur Herstellung eines Transistors gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigen;

Fig. 3A bis 3H Querschnittsansichten, die ein Verfahren zur Herstellung eines Transistors gemäß einer weiteren Ausführungsform der vorliegenden Erfindung zeigen.

Zuerst wird eine Ausführungsform der vorliegenden Erfindung mit Bezug auf die Fig. 1A bis 1J beschrieben.

Wie in Fig. 1A gezeigt, wird auf einem Siliciumsubstrat 101 eine Oxidschicht 102 abgeschieden, wobei ein Abschnitt der Oxidschicht 102 mittels eines Maskenprozesses geätzt wird. Es wird ein Ätzprozeß durchgeführt, um im Siliciumsubstrat 101 eine Graben auszubilden.

Wie in Fig. 1B gezeigt, werden an der Seitenwand der Oxidschicht 102 Oxidabstandsschichten 103 ausgebildet, um einen Graben auszubilden, der eine geringere Breite besitzt als derjenige der durch den Maskenprozeß in Fig. 1A erzeugten Oxidschicht, wobei unter Verwendung der Oxidschicht 102 und der Oxidabstandsschichten 103 als Ätzmaske durch Ätzen des freiliegenden Siliciumsubstrats 101 einen Graben 104 ausgebildet wird. Da die Oxidabstandsschichten 103 zum Verringern

der Breite des Grabens 104 verwendet werden, kann in Abhängigkeit von den Herstellungsbedingungen selbstverständlich der Schritt des Ausbildens der Oxidabstandsschichten 103 weggelassen werden.

Wie in Fig. 1C gezeigt, werden die auf dem Siliciumsubstrat 101 zurückbleibenden Oxidschichten 102 und 103 entfernt, anschließend wird eine Oxidschicht 105 auf der sich ergebenden Struktur ausgebildet, wodurch der Graben 104 ausgefüllt wird.

Als nächstes wird, wie in Fig. 1D gezeigt ist, die Oxidschicht 105 bis auf die Oxidschicht 105' in dem Graben 104 zurückgeätzt. Ferner wird die Ätzgeschwindigkeit so gesteuert, daß die Tiefe "d" von der Oberfläche des Siliciumsubstrats 101 bis zur Oberfläche der Oxidschicht 105' im Graben 104 ausgebildet wird. Die Tiefe "d" ist erforderlich, um einen Kanal des MOS-Transistors auszubilden, was anhand des folgenden Vorgangs beschrieben wird.

Wie in Fig. 1E gezeigt, wird auf der sich ergebenden Struktur eine Polysiliciumschicht 106 ausgebildet, die den Graben 104 ausfüllt, der mit der Oxidschicht 105' noch nicht ausgefüllt war. Die Polysiliciumschicht 106 kann statt einer Siliciumschicht verwendet werden.

Wie in Fig. 1F gezeigt, wird die Polysiliciumschicht 106 über der Oberfläche des Siliciumsubstrats 101 durch einen in einem herkömmlichen Halbleiterprozeß verwendeten Oxidationsprozeß oxidiert. Dann wird durch den Oxidationsprozeß eine Oxidschicht 107 ausgebildet, wobei eine Polysiliciumschicht 106' von der Oberfläche des Siliciumsubstrats 101 bis zur Oberfläche der Oxidschicht 105' im Graben 104 übrigbleibt. Hierbei dient die Polysiliciumschicht 106' als Substrat.

Die Oxidschicht 107 wird entfernt, woraufhin eine Ionenimplantierung durchgeführt wird, um die Schwellenspannung des Transistors einzustellen, wie in Fig. 1G gezeigt ist.

Fig. 1H zeigt den Schritt des Ausbildens einer Oxidschicht 108 und einer Polysiliciumschicht 109 für die Gate-Elektrode.

Fig. 1I zeigt den Schritt der Musterbildung der Oxidschicht 108 und der Polysiliciumschicht 109 in einer vorgegebenen Größe und das anschließende Ausbilden einer Gate-Oxidschicht 108' und einer Gate-Elektrode 109'.

Wie in Fig. 1J gezeigt, wird schließlich durch eine Ionenimplantierung ein Source/Drain-Bereich 110 ausgebildet.

Wie oben erläutert worden ist, unterscheidet sich der Transistor gemäß einer Ausführungsform der vorliegenden Erfindung vom herkömmlichen Transistor durch die Ausbildung der Oxidschicht 105' und der Polysiliciumschicht 106' im Siliciumsubstrat 101, um die Eigenschaft des Durchgriffs des Transistors zu verbessern.

Im folgenden wird mit Bezug auf die Fig. 2A bis 2I eine weitere Ausführungsform der vorliegenden Erfindung beschrieben.

Wie in Fig. 2A gezeigt, werden in ein Siliciumsubstrat 201 Ionen mit geringer (n- oder p-) Konzentration implantiert, deren Störstellentyp sich von demjenigen eines Substrats 201 unterscheidet, anschließend wird ein dotierter Bereich 202 auf dem Siliciumsubstrat 201 ausgebildet.

Wie in Fig. 2B gezeigt, wird auf dem dotierten Bereich 202 eine Nitridschicht 203 ausgebildet, woraufhin die Nitridschicht 203 gemustert wird, um unter Verwendung eines Maskenprozesses und eines Ätzprozesses einen Abschnitt des Siliciumsubstrats 201 freizulegen.

Wie in Fig. 2C gezeigt, wird durch Ätzen des dotier-

ten Bereichs 202 und des freigelegten Siliciumsubstrats 201 unter Verwendung der Nitridschicht 203 als Ätzmaske ein Graben 204 ausgebildet.

Selbstverständlich können wie in Fig. 1B gezeigt Oxidabstandsschichten verwendet werden, um die Breite der Graben 204 zu verringern. Nach dem Ausbilden des Grabens 204 wird auf der sich ergebenden Struktur eine Oxidschicht 205 ausgebildet, wodurch der Graben 204 ausgefüllt wird.

Wie in Fig. 2D gezeigt, wird als nächstes die Oxidschicht 205 bis auf die Oxidschicht 205' im Graben 204 zurückgeätzt. Ferner muß die Ätzgeschwindigkeit so gesteuert werden, daß die Tiefe "d" von der Oberfläche des Siliciumsubstrats 201 bis zur Oberfläche der Oxidschicht 205' im Graben 204 ausgebildet wird. Die Tiefe "d" ist erforderlich, um einen Kanal des MOS-Transistors auszubilden, wie anhand des folgenden Prozesses beschrieben wird.

Wie in Fig. 2E gezeigt, wird auf der sich ergebenden Struktur eine Polysiliciumschicht 206 ausgebildet, die den Graben 204 ausfüllt, welcher durch die Oxidschicht 205' noch nicht ausgefüllt ist.

Wie in Fig. 2F gezeigt, wird die Polysiliciumschicht 206 zurückgeätzt, so daß eine Polysiliciumschicht 206', die als Substrat dient, nur im Graben 204 zurückbleibt, woraufhin eine Ionenimplantierung durchgeführt wird, um die Schwellenspannung des Transistors einzustellen.

Fig. 2G zeigt den Schritt des Ausbildens einer Oxidschicht 207 und einer Polysiliciumschicht 208 für die Gate-Elektrode, während Fig. 2H den Schritt des Ausbildens der Gate-Oxidschicht 207' und der Gate-Elektrode 208' in einer vorgegebenen Größe zeigt.

Wie in Fig. 2I gezeigt, wird schließlich durch eine Ionenimplantierung ein Source/Drain-Bereich 209 ausgebildet, der ein stark dotierter Bereich ist.

Wie oben dargestellt worden ist, zeigt diese Ausführungsform, daß Transistoren mit LDD-Struktur auf der SOI-Struktur in Fig. 1J mit dem dotierten Bereich 202 verwirklicht werden.

Im folgenden wird mit Bezug auf die Fig. 3A bis 3H eine weitere Ausführungsform der vorliegenden Erfindung beschrieben.

Wie in Fig. 3A gezeigt, werden auf einem Siliciumsubstrat 301 eine Oxidschicht 302 und eine Nitridschicht 303 abgeschieden, wobei ein Abschnitt der Oxidschicht 302 und der Nitridschicht 303 durch einen Maskenprozeß und einen Ätzprozeß weggeätzt werden, um im Siliciumsubstrat 301 einen Graben auszubilden.

Wie in Fig. 3B gezeigt, werden an den Seitenwänden der Oxidschicht 302 und der Nitridschicht 303 eine Nitridabstandsschicht 304 ausgebildet, um einen Graben auszubilden, der eine geringere Breite als die durch den Maskenprozeß in Fig. 3A gebildeten Oxid- und Nitridschichten besitzt.

Wie in Fig. 3C gezeigt, wird durch Ätzen des freiliegenden Siliciumsubstrats unter Verwendung der Nitridschicht 303 und der Nitridabstandsschichten 304 als Ätzmaske einen Graben 305 ausgebildet. Da die Nitridabstandsschicht 304 zur Verringerung der Breite des Grabens 305 verwendet wird, kann selbstverständlich der Schritt des Ausbildens der Nitridabstandsschichten 304 in Abhängigkeit von den Herstellungsbedingungen weggelassen werden, wie in Fig. 1B dargestellt ist.

Wie in Fig. 3D gezeigt, wird als nächstes unter Verwendung der Nitridschicht 303 und der Nitridabstandsschicht 304 als Oxidationsmaske das freiliegende Substrat 301 oxidiert, so daß im Graben 305 eine Oxidschicht 306 ausgebildet wird.

Nachdem die Nitridschicht 303 und die Nitridabstandsschicht 304 entfernt worden sind, wird die Oxidschicht 306 bis auf die Oxidschicht 306' in der Graben 305 zurückgeätzt, wie in Fig. 3E gezeigt ist. Hierbei wird die Ätzgeschwindigkeit so gesteuert, daß die Tiefe "d" von der Oberfläche des Siliciumsubstrats 301 bis zur Oberfläche der Oxidschicht 306' im Graben 305 ausgebildet wird. Die Tiefe "d" ist erforderlich, um einen Kanal des MOS-Transistors auszubilden, wie anhand des folgenden Prozesses beschrieben wird.

Wie in Fig. 3F gezeigt, wird auf das freiliegende Siliciumsubstrat 301 ein Epitaxieprozeß angewendet, so daß eine Siliciumschicht 307 den mit der Oxidschicht 306' noch nicht ausgefüllten Graben 305 ausfüllt. Nach Ausbilden der Siliciumschicht 307 werden unter Verwendung der Oxidschicht 302 als Ionenimplantationsmaske in die Siliciumschicht 307 Störstellenionen implantiert, um die Schwellenspannung einzustellen.

Wie in Fig. 3G gezeigt, wird auf der Polysiliciumschicht 307, die durch den Epitaxieprozeß aufgewachsen ist, eine Gate-Oxidschicht 308 ausgebildet, wobei auf der sich ergebenden Struktur eine Polysiliciumschicht 309 für die Gate-Elektrode ausgebildet wird.

Wie in Fig. 3H gezeigt, werden eine Polysiliciumschicht 309' und eine Oxidschicht 302' in einer vorgegebenen Größe gemustert, woraufhin durch eine Ionenimplantierung ein Source/Drain-Bereich 310 ausgebildet wird.

Wie oben erwähnt worden ist, kann die vorliegende Erfindung effektiv Transistoren mit SOI-Struktur ausbilden, wobei sie insbesondere die Durchgriffeigenschaft von PMOS-Transistoren verbessert, die einen kurzen Kanal besitzen und bei welchen eine Isolierschicht unter dem Kanal ausgebildet ist, was eine Wirkung auf die Stabilität der Transistorfunktion hat.

Entsprechend den Vorschriften ist die Erfindung in Worten mehr oder weniger spezifisch in Form von strukturellen und verfahrenstechnischen Eigenschaften beschrieben worden. Es ist jedoch klar, daß die Erfindung nicht auf die gezeigten und beschriebenen spezifischen Eigenschaften beschränkt ist, da die hier offenbarten Vorrichtungen bevorzugte Ausführungsformen der Erfindung sind. Die Erfindung wird deshalb in allen ihren Ausführungsformen oder Abwandlungen beansprucht, die in den Umfang der entsprechend interpretierten, beigefügten Ansprüche fallen.

Patentansprüche

1. Verfahren zum Herstellen eines Transistors, gekennzeichnet durch die Schritte:

Ausbilden eines Grabens (104) auf einem Substrat (101);

Ausfüllen eines unteren Abschnitts des Grabens (104) ohne den oberen Abschnitt mit einer Isolierschicht (105');
Ausfüllen des oberen Abschnitts des Grabens (104) auf der Isolierschicht (105') mit einer Leiterschicht (106') für einen Kanal des Transistors;

Ausbilden einer Gate-Oxidschicht (108') auf der sich ergebenden Struktur;
Ausbilden einer Gate-Elektrode (109') auf der Gate-Oxidschicht (108'); und

Implantieren von Störstellenionen in das Substrat (101), um einen Source/Drain-Bereich (110) auszubilden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des oberen

Abschnitts des Grabens (104) auf der Isolierschicht (105') mit einer Leiterschicht (106') ferner den Schritt des Implantierens von Störstellenionen in die Leiterschicht (106') umfaßt, um die Schwellenspannung des Transistors einzustellen.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Ausbildens des Grabens (104) die Schritte umfaßt:

Ausbilden einer ersten Oxidschicht (102) auf dem Substrat (101);

Mustern der ersten Oxidschicht (102);

Ausbilden einer zweiten Oxidschicht auf der sich ergebenden Struktur;

Anwenden eines Blankätzprozesses auf die zweite Oxidschicht, um eine Abstandsoxidschicht (103) zu bilden; und

Ätzen des Substrats (101) unter Verwendung der ersten Oxidschicht (102) und der Abstandsoxidschicht (103) als Ätzmaske.

4. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des oberen Abschnitts des Grabens (104) mit der Isolierschicht (105') die Schritte enthält:

Ausbilden einer dritten Oxidschicht (105) auf dem Substrat (101) mit dem Graben (104); und

Zurückätzen der dritten Oxidschicht (105), so daß der Rest (105') derselben im unteren Abschnitt des Grabens (104) zurückbleibt.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des unteren Abschnitts des Grabens (104) mit der Leiterschicht (106') die Schritte enthält:

Ausbilden einer Siliciumschicht (106) auf der sich ergebenden Struktur, die den oberen Abschnitt des Grabens (104) auf der Isolierschicht (105') ausfüllt; Oxidieren der Siliciumschicht (106) über dem Substrat (101); und

Entfernen der oxidierten Siliciumschicht (107).

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die Siliciumschicht (106) polykristallinem Silicium enthält.

7. Verfahren zum Herstellen eines Transistors, gekennzeichnet durch die Schritte:

Ausbilden einer schwach dotierten Schicht (202) auf einem Substrat (201);

Ausbilden einer ersten Isolierschicht (203) auf der schwach dotierten Schicht (202) und Mustern der ersten Isolierschicht (203);

Ausbilden eines Grabens (204) auf dem Substrat (201) durch Ätzen der schwach dotierten Schicht (202) und des Substrats (201) unter Verwendung der gemusterten ersten Isolierschicht (203) als Ätzmaske;

Ausfüllen des unteren Abschnitts des Grabens (204) ohne den oberen Abschnitt mit einer zweiten Isolierschicht (205'), wobei eine selektive Ätzgeschwindigkeit der zweiten Isolierschicht (205') sehr viel niedriger ist als diejenige der ersten Isolierschicht (203);

Ausfüllen des oberen Abschnitts des Grabens (204) auf der zweiten Isolierschicht (205') mit einer Leiterschicht (206') für einen Kanal des Transistors;

Entfernen der ersten Isolierschicht (203);

Ausbilden einer Gate-Oxidschicht (207') auf der sich ergebenden Struktur;

Ausbilden einer Gate-Elektrode (208') auf der Gate-Oxidschicht (207'); und

Implantieren von Störstellenionen in das Substrat

(201), um einen Source/Drain-Bereich auszubilden.

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des oberen Bereichs des Grabens (204) auf der zweiten Isolierschicht (205') mit einer Leiterschicht (206') ferner den Schritt umfaßt:

Implantieren von Störstellenionen in die Leiterschicht (206'), um die Schwellenspannung des Transistors einzustellen.

9. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die erste Isolierschicht (203) eine Nitridschicht ist.

10. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die zweite Isolierschicht (205) eine Oxidschicht ist.

11. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Schritt des Ausbildens der Graben (204) auf dem Substrat (201) ferner den Schritt des Ausbildens einer Abstandsnitridschicht auf der Seitenwand der gemusterten ersten Isolierschicht (203) umfaßt.

12. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des unteren Abschnitts des Grabens (204) mit der Isolierschicht (205') die Schritte umfaßt:

Ausbilden einer Oxidschicht (205) auf der sich ergebenden Struktur; und

Zurückätzen der Oxidschicht (205), so daß der Rest (205') derselben im unteren Abschnitt des Grabens (204) zurückbleibt.

13. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des oberen Abschnitts des Grabens (204) mit der Leiterschicht (206') die Schritte enthält:

Ausbilden einer Siliciumschicht (206) auf der sich ergebenden Struktur, die den oberen Abschnitt des Grabens (204) ausfüllt;

Oxidieren der Siliciumschicht (206) über dem Substrat (201); und

Entfernen der oxidierten Siliciumschicht (206).

14. Verfahren nach Anspruch 13, dadurch gekennzeichnet, daß die Siliciumschicht (206) aus polykristallinem Silicium besteht.

15. Verfahren zum Herstellen eines Transistors gekennzeichnet durch die Schritte:

Ausbilden einer ersten (302) und einer zweiten (303) Isolierschicht auf einem Substrat (301);

Mustern der ersten und zweiten Isolierschichten (302, 303), um das Substrat (301) freizulegen;

Ausbilden eines Grabens (305) auf dem Substrat (301) unter Verwendung der gemusterten zweiten Isolierschicht (303) als Ätzmaske;

Ausfüllen des Grabens (305) mit einer Oxidschicht (306) durch Oxidieren des freiliegenden Substrats (301); Entfernen der zweiten Isolierschicht (303);

Zurückätzen der Oxidschicht (306), so daß der Rest derselben im unteren Abschnitt des Grabens (305) zurückbleibt;

Ausfüllen des oberen Bereichs des Grabens (305) auf der Oxidschicht (306) mit einer Leiterschicht (307) für einen Kanal des Transistors;

Entfernen der ersten Isolierschicht (302);

Ausbilden einer Gate-Oxidschicht (308) auf der sich ergebenden Struktur;

Ausbilden einer Gate-Elektrode (309) auf der Gate-Oxidschicht (308); und

Implantieren von Störstellenionen in das Substrat (301), um einen Source/Drain-Bereich (310) auszu-

bilden.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß der Schritt des Ausfüllens des oberen Bereichs des Grabens (305) auf der Isolierschicht (306) mit einer Leiterschicht (307) ferner den Schritt des Implantierens von Störstellenionen in die Leiterschicht (307) zum Einstellen der Schwellenspannung des Transistors umfaßt.

17. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die Leiterschicht (307) eine Epitaxialschicht ist.

18. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die erste Isolierschicht (302) eine Oxidschicht ist.

19. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die erste Isolierschicht (302) eine Nitridschicht ist.

20. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß der Schritt des Musterns einer ersten und zweiten Isolierschichten (302, 303) zum Freilegen des Substrats (301) ferner den Schritt des Ausbildens einer Abstandsnitridschicht (304) an der Seitenwand in der ersten und zweiten Isolierschichten (302, 303) umfaßt.

21. Transistor mit einer Gate-Isolierung (108', 208, 308) auf einem Substrat (101, 201, 301), einer Gate-Elektrode (109', 209, 309) sowie einem Source/Drain-Bereich (110, 310),

gekennzeichnet durch einen auf dem Substrat (101, 201, 301) zwischen dem Sourcebereich und dem Drainbereich ausgebildeten Graben (104, 204, 305);

eine in den unteren Abschnitt des Grabens (104, 204, 305) eingesetzte Isolierschicht (105', 205', 306'); und

eine in den oberen Abschnitt des Grabens (104, 204, 305) auf der Isolierschicht (105', 205', 306') eingesetzte Siliciumschicht (106', 206', 307) zum Ausbilden eines Kanals des Transistors; wobei

die Isolierschicht (105', 205', 306') unter dem Transistorkanal ausgebildet ist, um eine Durchgriffeigenschaft desselben zu verbessern.

Hierzu 14 Seite(n) Zeichnungen

45

50

55

60

65

- Leerseite -

FIG. 1I

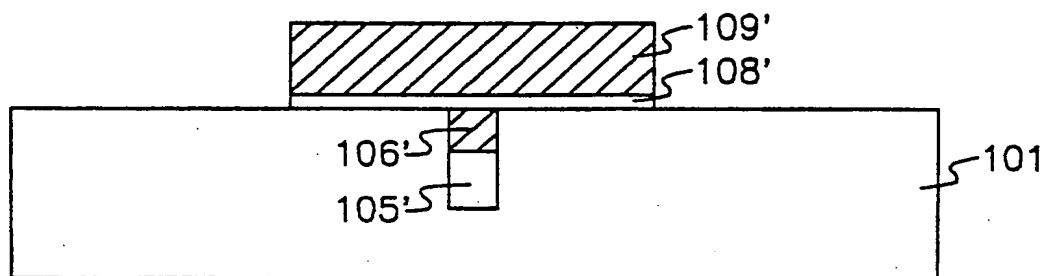


FIG. 1J *

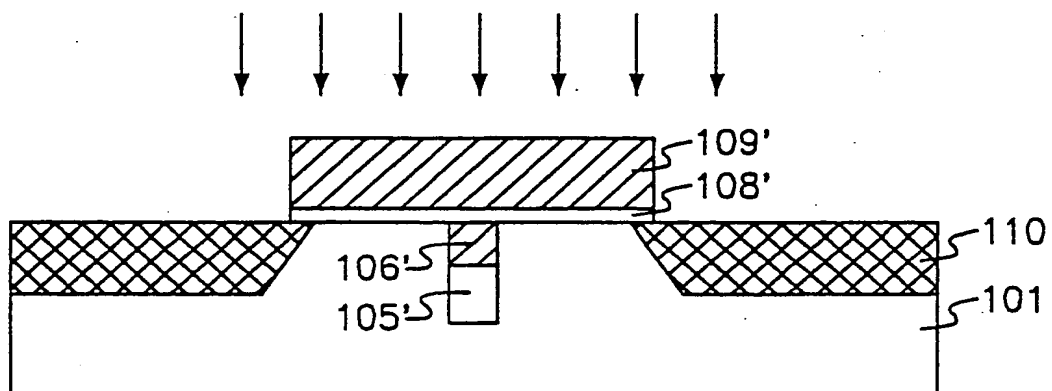


FIG. 1A

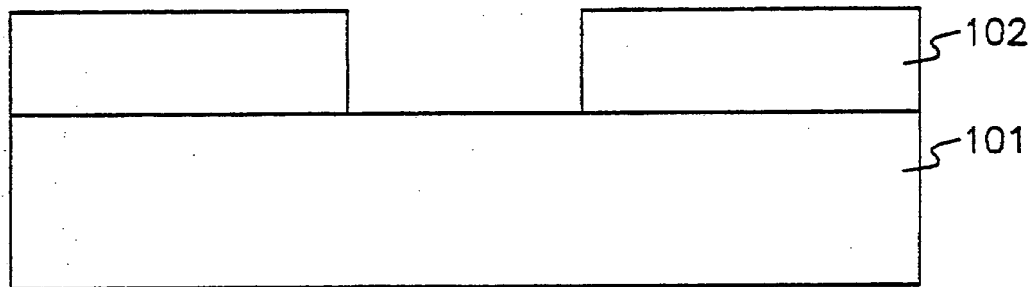


FIG. 1B

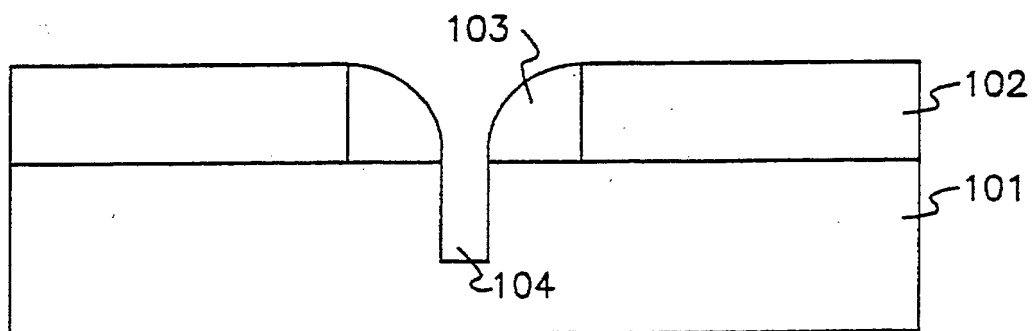


FIG. 1C

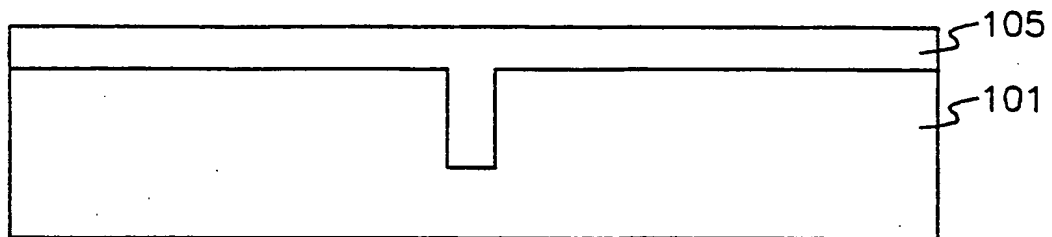


FIG. 1D

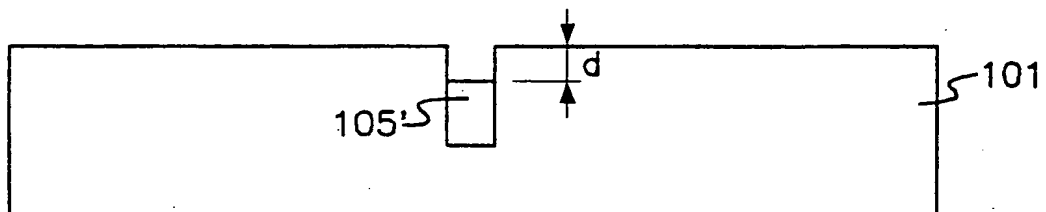


FIG. 1E

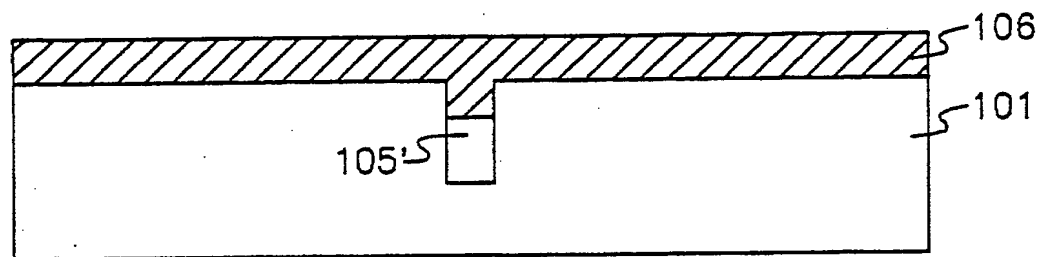


FIG. 1F

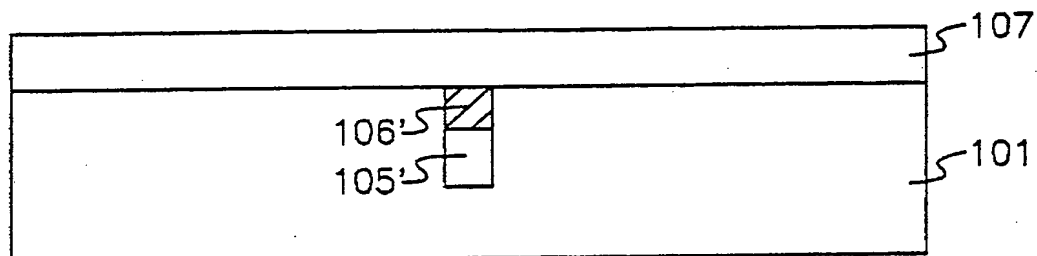


FIG. 1G

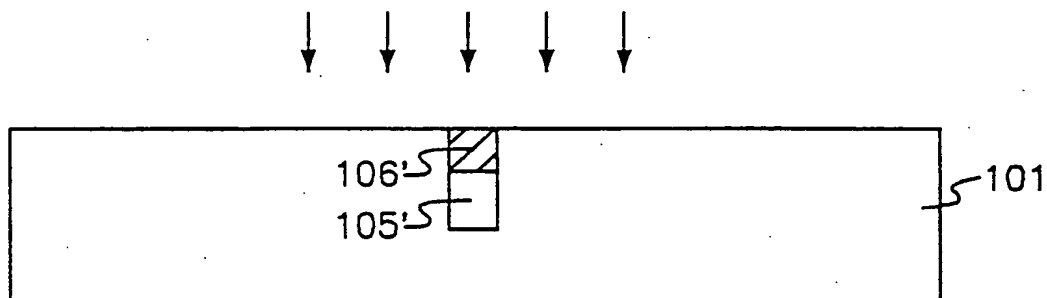


FIG. 1H

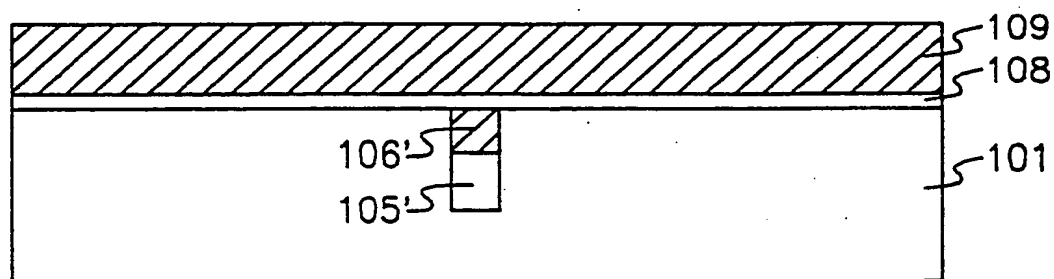


FIG. 2A

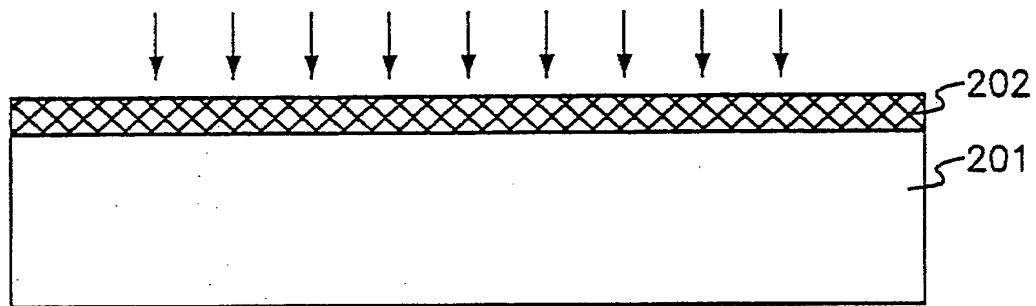


FIG. 2B

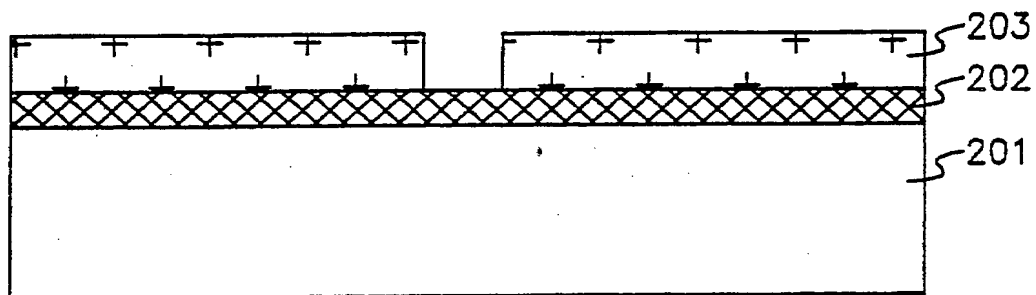


FIG. 2C

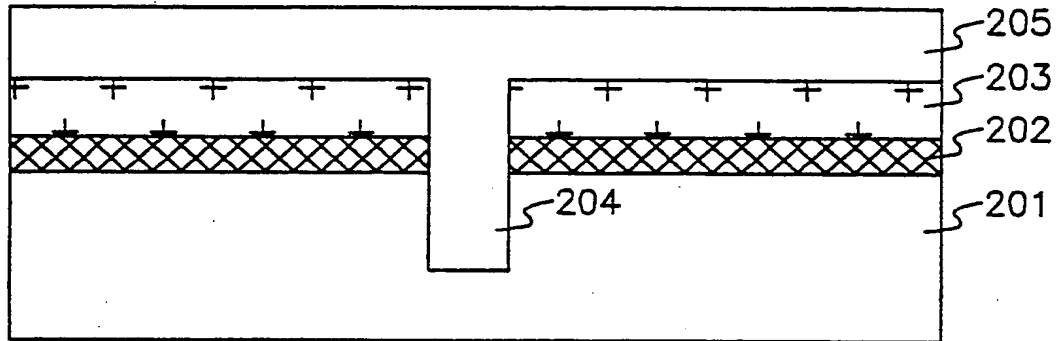


FIG. 2D

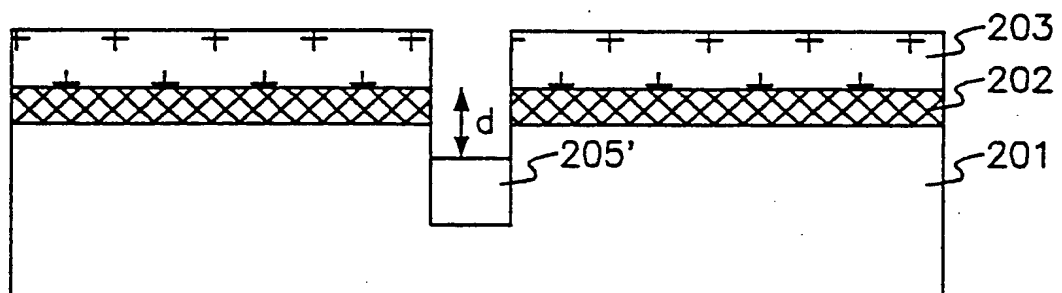


FIG. 2E

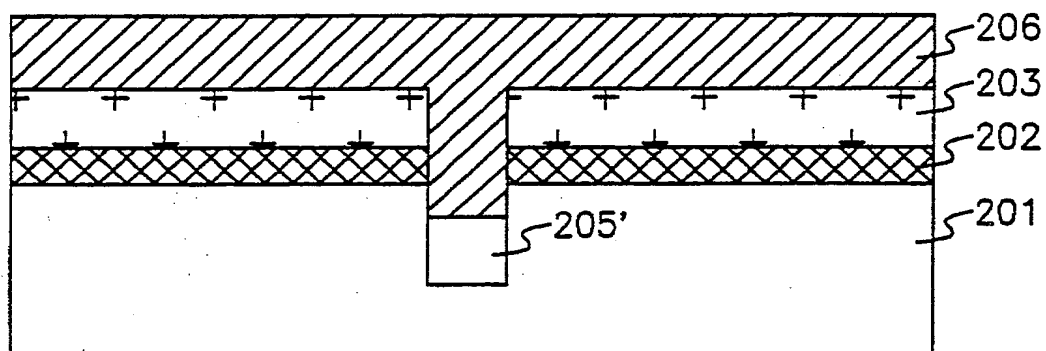


FIG. 2F

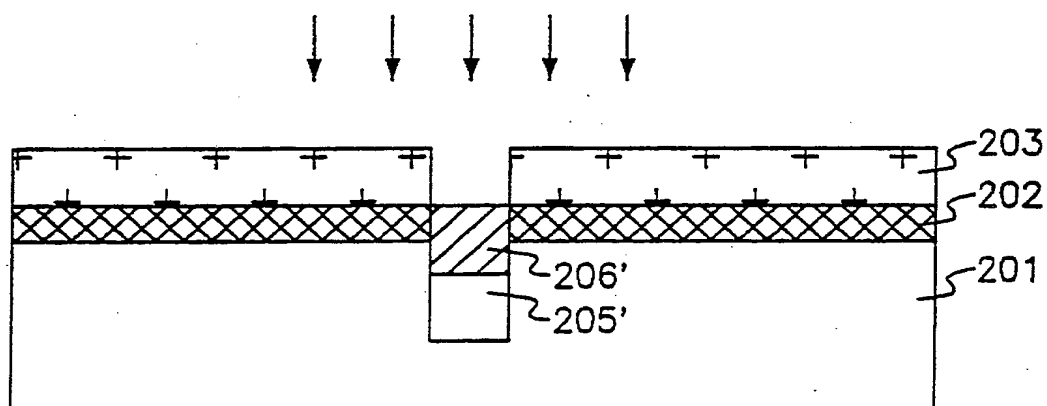


FIG. 2G

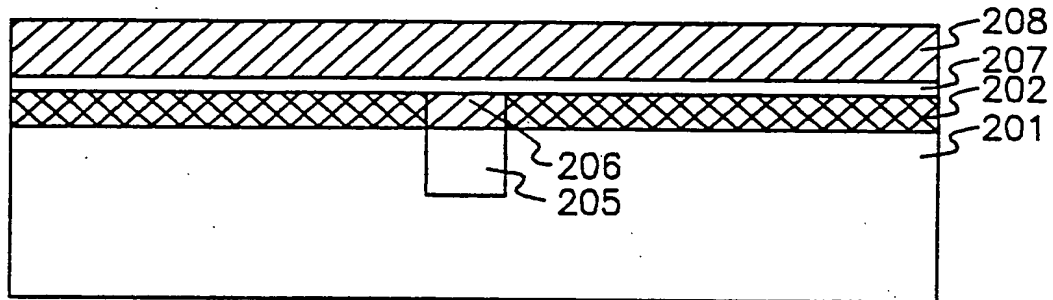


FIG. 2H

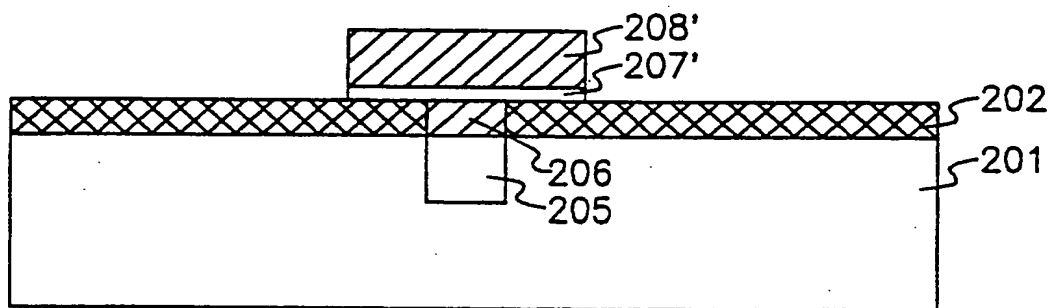


FIG. 2I

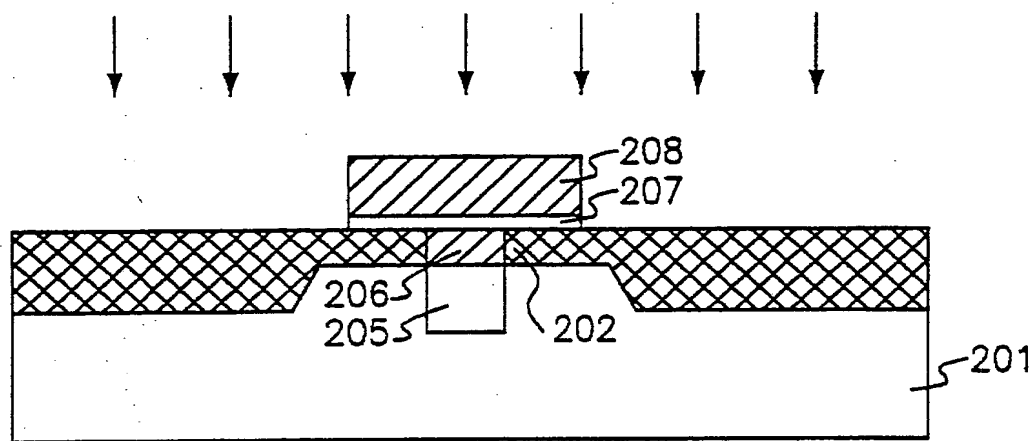


FIG. 3A

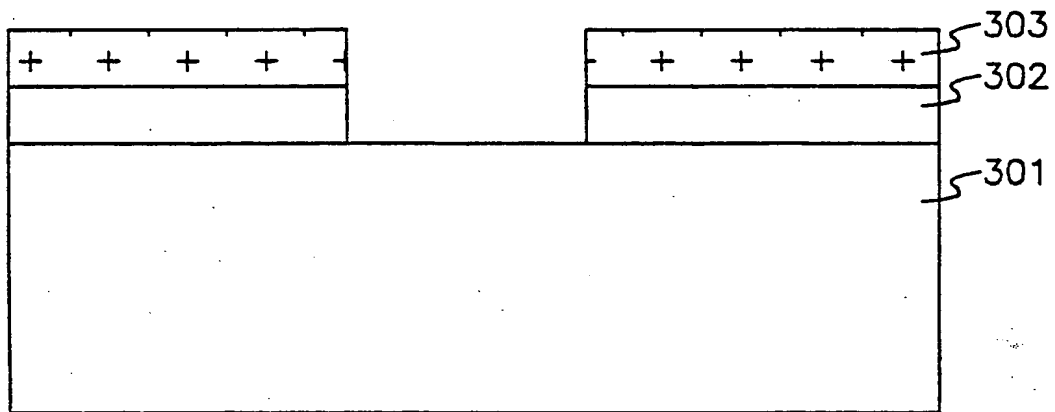


FIG. 3B

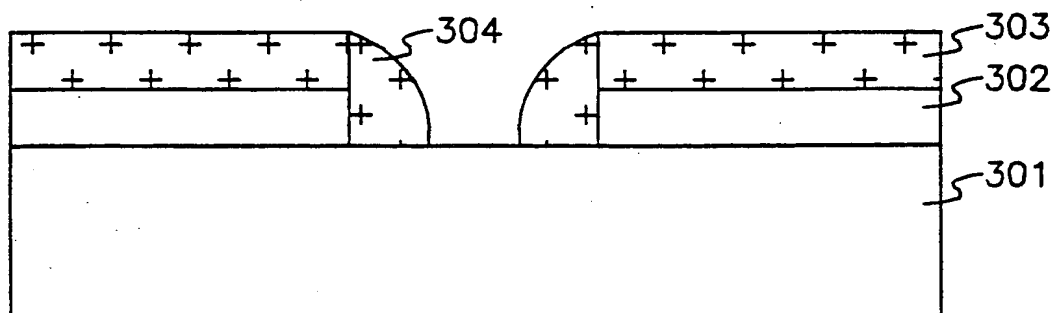


FIG. 3C

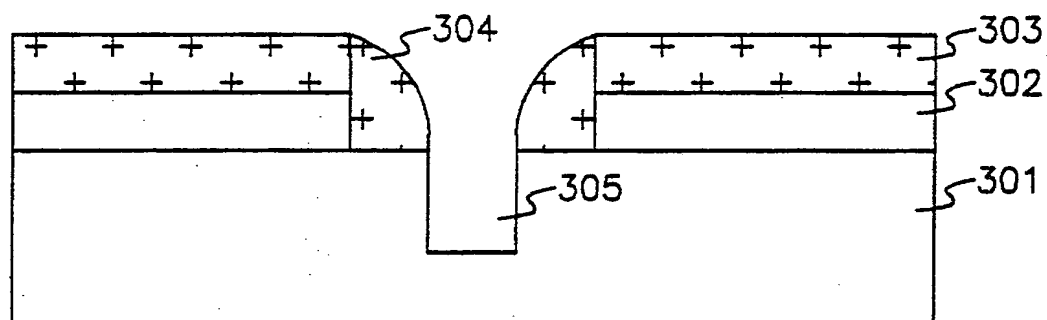


FIG. 3D

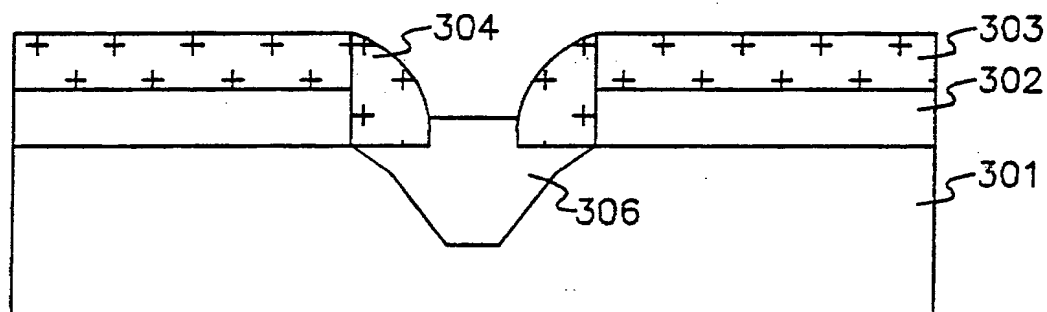


FIG. 3E

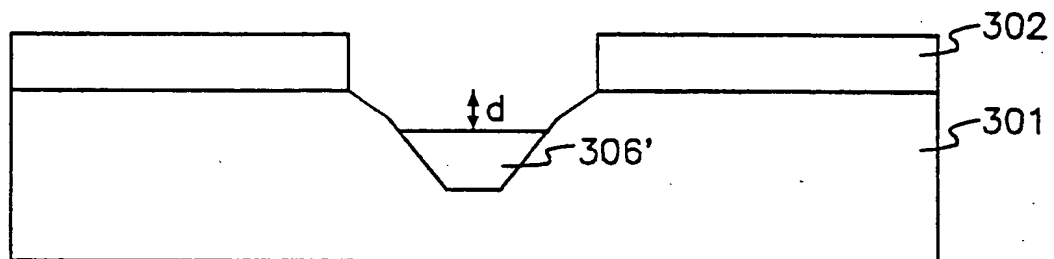


FIG. 3F

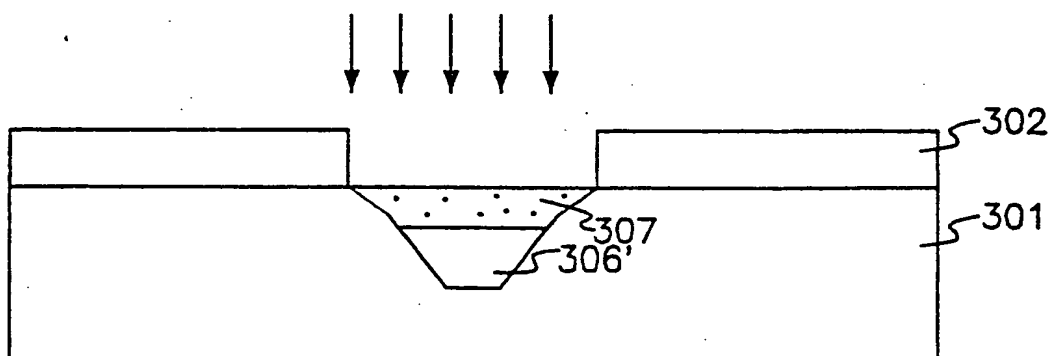


FIG. 3G

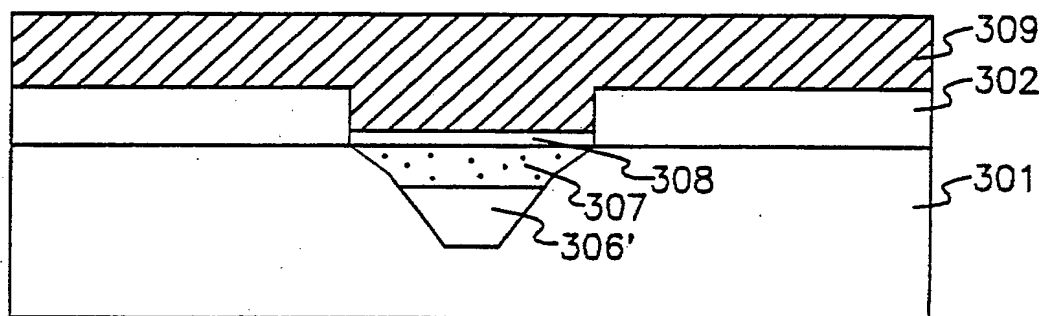


FIG. 3H

